

DERWENT-ACC-NO: 2000-045812
DERWENT-WEEK: 200004
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Interposer for IC chip in chip scale package -
includes substrate
having IC chip bonding plane whose thickness is set to be
lesser than that of
wiring of solder bonding plane

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1998JP-0106431 (April 16, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 11307678 A	November 5, 1999	N/A
005	H01L 023/12	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 11307678A	N/A	1998JP-0106431
April 16, 1998		

INT-CL (IPC): H01L023/12

ABSTRACTED-PUB-NO: JP 11307678A

BASIC-ABSTRACT: NOVELTY - A substrate (16) has IC chip
bonding plane (12) and a
substrate solder bonding plane (14). Wiring (32) of IC
chip bonding plane is
connected to wiring (20) of solder bonding plane via a
connecting wire (22).

The thickness of wiring of IC chip bonding plane is set to
be lesser than that
of wiring of solder bonding plane.

USE - For IC chip scale package, quad flat package in
portable electric,
electronic devices.

ADVANTAGE - The design retains bond strength of substrate

as the wiring is comparatively thicker, besides lowering cost of production and area of wiring pattern. DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of interposer. (12) IC chip bonding plane; (14) Substrate solder bonding plane; (16) Substrate; (20,32) Wirings; (22) Connecting wire.

CHOSEN-DRAWING: Dwg.1/5

TITLE-TERMS:

INTERPOSED IC CHIP CHIP SCALE PACKAGE SUBSTRATE IC CHIP
BOND PLANE THICK SET
WIRE SOLDER BOND PLANE

DERWENT-CLASS: U11

EPI-CODES: U11-D01A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-035387

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-307678

(43)公開日 平成11年(1999)11月5日

(51)IntCl.⁹

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

L

Q

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21)出願番号 特願平10-106431

(22)出願日 平成10年(1998)4月16日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 佐藤 光洋

岩手県東磐井郡千厩町千厩字下駒場254番

地 ソニー千厩株式会社内

(72)発明者 中村 恵美

岐阜県美濃加茂市本郷町9丁目15番22号

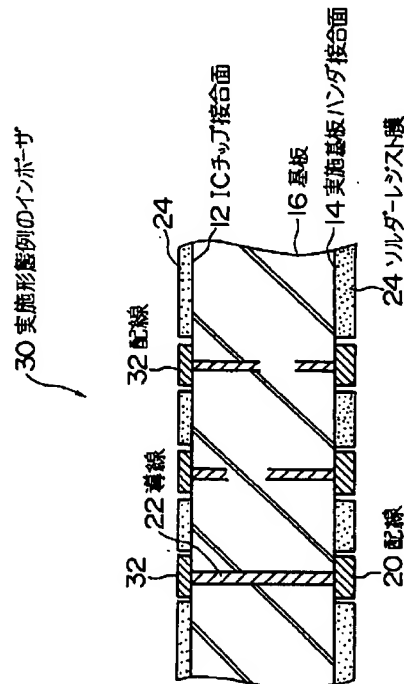
ソニー美濃加茂株式会社内

(54)【発明の名称】 インターポーザ

(57)【要約】

【課題】 実装基板との接合強度を維持しつつ配線パターンの微細化に対応できるインターポーザを提供する。

【解決手段】 本インターポーザ30は、銅箔製配線32を有するICチップ接合面12と、銅箔製配線20を有する実装基板ハンダ接合面14とを有するインターポーザ基板16と、インターポーザ基板16を貫通する導線22とを有する。本インターポーザでは、配線32は、従来の配線18より薄い、例えば約12 μ mの厚さを有し、配線20は従来と同じ35 μ m程度の厚さで形成されている。配線32及び配線20の間には、ハンダ接合した際にハンダの流動を防ぐための溶剤レジスト膜24が形成されている。



【特許請求の範囲】

【請求項1】 ICチップをCSP形式でパッケージするためのインターポーザであって、ICチップとの接合面、及び、ICチップとの接合面に対向する、実装基板とのハンダ接合面の双方に配線を有するインターポーザ基板と、インターポーザ基板を貫通してICチップとの接合面の配線を実装基板とのハンダ接合面の配線に接続する導線とを有するインターポーザにおいて、ICチップとの接合面の配線の厚さが、実装基板とのハンダ接合面の配線の厚さより薄いことを特徴とするインターポーザ。

【請求項2】 インターポーザの配線が、インターポーザ基板の一方の面に形成された薄い銅箔、及び、インターポーザ基板の他方の面に形成された厚い銅箔をそれぞれ配線パターンに従ってエッチングして、パターンニングすることにより形成されていることを特徴とする請求項1に記載のインターポーザ。

【請求項3】 ICチップとの接合面の配線の厚さが、実装基板とのハンダ接合面の配線の厚さの1/3以上1/2以下であることを特徴とする請求項1又は2に記載のインターポーザ。

【請求項4】 小型電気・電子部品のパッケージ用インターポーザであって、電気・電子部品との接合面、及び、電気・電子部品との接合面に対向する、実装基板とのハンダ接合面の双方に配線を有するインターポーザ基板と、インターポーザ基板を貫通して電気・電子部品の接合面の配線を実装基板とのハンダ接合面の配線に接続する導線とを有するインターポーザにおいて、電気・電子部品の接合面の配線の厚さが、実装基板とのハンダ接合面の配線の厚さより薄いことを特徴とするインターポーザ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ICチップをCSP形式でパッケージするためのインターポーザ、或いは小型電気・電子部品のパッケージ用インターポーザに関し、更に詳細には、実装基板との接合強度を維持しつつICチップの微細化及び多ピン化、従ってインターポーザの配線パターンの微細化に対応できるインターポーザに関するものである。

【0002】

【従来の技術】携帯型電気・電子機器の軽量化、小型化、薄型化に伴い、また、電気・電子機器の電気回路のデジタル化及び電気・電子部品の小型化の進展に伴い、プリント配線板の配線の高密度化、更には実装の高密度化が盛んに図られている。実装の高密度化に伴い、ICチップのパッケージの分野では、QFP(Quad Flat Package)に代わって、実装基板(別名、マザー基板)上に実装するICパッケージの実装基板とのハンダ接合面に端子(ハンダバンプ)を有するCSP(Chip Scale P

ackage)型のICパッケージが多用されつつある。CSP型のICパッケージは、インターポーザと呼ばれる基板上にICチップを搭載したパッケージであって、ICチップは、インターポーザを介して実装基板上に実装される。

【0003】ここで、図4を参照して、従来のインターポーザの構成を説明する。従来のインターポーザ10は、図4に示すように、ICチップとの接合面12、及び、ICチップとの接合面12(以下、ICチップ接合面12と言う)に対向する、実装基板とのハンダ接合面14(以下、実装基板ハンダ接合面14と言う)の双方に配線を有するインターポーザ基板16と、インターポーザ基板16を貫通してICチップ接合面12の配線18を実装基板ハンダ接合面14の配線20に接続する導線22とを有する。導線22は、通常、インターポーザ基板16を貫通するスルーホールを設け、そのスルーホール壁に金属メッキを施すことにより、導線を形成している。配線18と配線20とは同じ厚さ、例えば約35 μm で形成されている。図4では、一部の導線22は、途中で切断されているが、これは別の経路を経て配線18と配線20とを接続している。配線18の間のICチップ接合面12及び配線20の間の実装基板ハンダ接合面14には、ハンダ接合した際にハンダの流動を防ぐためのソルダーレジスト膜24が形成されている。

【0004】ところで、実装の高密度化に伴うCSPの小型化のために、インターポーザ上の配線は、益々、微細パターン化している。インターポーザの配線の微細パターン化は、配線の厚さ、例えばインターポーザ基板にプリントした銅箔の厚さを薄くすることによりを実現することができる。しかし、銅箔を薄くすると、以下の問題が生じる。即ち、銅箔の厚さは、従来、基板の両面とも同じであるから、実装基板とのハンダ接合面では、銅箔の厚さが薄くなることにより、銅箔配線の側面に入り込むハンダの量が少なくなって、ハンダ接合面積が小さくなり、そのために、実装基板とのハンダ接合強度が低下し、機械的及び電氣的接合の信頼性が低くなる。

【0005】逆に、銅箔の厚さを厚くして、実装基板とのハンダ接合強度を高くして機械的及び電氣的接合の信頼性を向上させようとする、インターポーザの配線パターンの微細化に対応できない。即ち、銅箔18、20をエッチングして配線を形成する際、銅箔の上部では、銅箔のエッチングの進行が速いために、銅箔の幅は狭くなり、銅箔の下部では銅箔のエッチングの進行が遅いために、銅箔の幅が広くなり、銅箔の幅は、図5に示すように、銅箔の上部と下部で大きなギャップGが生じる。このために、配線パターン通りに銅箔をエッチングして所望の配線を形成することが難しく、配線と配線との間隔を広くすることが必要である。このため、配線パターンの微細化の支障となり、インターポーザの配線の微細パターン化が技術的に難しくなる。これは、CSPの多

ピン及び小型化の障害となる。

【0006】

【発明が解決しようとする課題】そこで、本発明の目的は、実装基板とのハンダ接合強度を維持しつつ配線パターンの微細化を実現できるインターポーザを提供することである。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明に係るインターポーザは、ICチップをCSP形式でパッケージするためのインターポーザであって、ICチップとの接合面、及び、ICチップとの接合面に対向する、実装基板とのハンダ接合面の双方に配線を有するインターポーザ基板と、インターポーザ基板を貫通してICチップとの接合面の配線を実装基板とのハンダ接合面の配線に接続する導線とを有するインターポーザにおいて、ICチップとの接合面の配線の厚さが、実装基板とのハンダ接合面の配線の厚さより薄いことを特徴としている。

【0008】本発明のインターポーザは、配線の材料及び配線の形成方法について、制約はないが、好適には、配線が、インターポーザ基板上に形成された銅箔をエッチングしてパターンニングすることにより形成されている。更に好適には、インターポーザの配線が、インターポーザ基板の一方の面に形成された薄い銅箔、及び、インターポーザ基板の他方の面に形成された厚い銅箔をそれぞれ配線パターンに従ってエッチングして、パターンニングすることにより形成されている。尚、エッチングする際には、厚さの薄い銅箔を基準にしてエッチング条件を定める。ICチップとの接合面の配線の厚さは、ICチップのピン数、配線パターンの形状、配線幅、配線ピッチ等により異なるものの、通常は、12～17 μm である。一方、実装基板とのハンダ接合面の配線の厚さは、配線パターンの形状、配線幅、配線ピッチ等により異なるものの、通常は、従来の厚さと同じ35 μm 程度、又はそれ以上である。

【0009】本発明は、ICチップのパッケージ用のインターポーザに限ることではなく、小型電気・電子部品のパッケージ用インターポーザとして適用できる。その場合には、本発明に係るインターポーザは、電気・電子部品との接合面、及び、電気・電子部品との接合面に対向する、実装基板とのハンダ接合面の双方に配線を有するインターポーザ基板と、インターポーザ基板を貫通して電気・電子部品の接合面の配線を実装基板とのハンダ接合面の配線に接続する導線とを有するインターポーザにおいて、電気・電子部品の接合面の配線の厚さが、実装基板とのハンダ接合面の配線の厚さより薄いことを特徴としている。

【0010】

【発明の実施の形態】以下に、添付図面を参照し、実施形態例を挙げて本発明の実施の形態を具体的かつ詳細に

説明する。

実施形態例

本実施形態例は、本発明に係るインターポーザの実施形態の一例であって、図1は本実施形態例のインターポーザの構成を示す断面図である。図1から図3中、図4と同じものには同じ符号を付して説明を省略する。本実施形態例のインターポーザ30は、図1に示すように、ICチップ接合面12上に形成された銅箔からなる配線32と、ICチップ接合面12に対向する実装基板ハンダ接合面14上に形成された銅箔からなる配線20とを有するインターポーザ基板16と、インターポーザ基板16を貫通して配線32を配線20に接続する導線22とを有する。導線22は、ICチップ接合面12の配線32と実装基板ハンダ接合面14の配線20とを接続する導線であって、通常、インターポーザ基板16を貫通するスルーホールを設け、そのスルーホール壁に金属メッキを施すことにより、導線を形成している。図1では、一部の導線22は、途中で切断されているが、これは別の経路を経て配線32と配線20とを接続している。本実施形態例では、配線32は、従来の配線18より薄い約12 μm の厚さを有し、配線20は従来と同じ35 μm 程度の厚さ、又はそれより厚い厚さで形成されている。配線32及び配線20の間には、ハンダ接合した際にハンダの流動を防ぐためのソルダーレジスト膜24が形成されている。

【0011】次に、図2を参照して、上述のインターポーザ30の作製方法を説明する。図2(a)から(c)はインターポーザ30を作製する際の各工程毎の断面図である。

(1) 先ず、図2(a)に示すように、基板を貫通する導線22を有する多層絶縁基板からなるインターポーザ基板16のICチップ接合面12及び実装基板ハンダ接合面14上に、それぞれ、銅箔32、20を貼着する。銅箔32の厚さは約12 μm 、銅箔20の厚さは約35 μm である。

(2) 次に、図2(b)に示すように、配線パターンを有するスクリーンを用いてレジスト膜を印刷し、パターンマスク34を形成する。

(3) 次に、パターンマスク34を使って、図2(c)に示すように、エッチャントにより銅箔を化学的にエッチングする。

(4) 続いて、パターンマスク34を除去し、除去した後にはソルダーレジスト膜24を形成すると、図1に示すインターポーザ30を得ることができる。

【0012】上述の(3)の工程で、エッチングする際、エッチャントがパターンマスクで覆った銅箔部分にまで入り込み、図5に示すように、必要な銅箔部分を谷のように腐食してしまうことが多く、そのために、銅箔の上部と下部との間で幅にギャップが生じてしまう。このギャップは、銅箔の厚さが厚くなるほど、大きくな

5

る。そこで、本実施形態例では、配線32に厚さの薄い銅箔を使用し、薄い方の銅箔32を基準にしてエッチング条件を定めている。厚い方の銅箔20を基準にしてエッチングの条件を定めると、厚さの薄い方の銅箔32にオーバーエッチング等の好ましくない影響が生じるからである。これにより、本実施形態例では、図3に示すように、配線32の上下の幅のギャップgが従来のギャップG(図5参照)に比べて遙に小さくなり、パターンマスク34の配線パターン通りに銅箔32をエッチングできる。換言すれば、ICチップ接合面12の配線32の厚さを実装基板ハンダ接合面14の配線20の厚さより薄くし、厚さの薄い配線32を基準にしてエッチングして配線32、20をパターンニングすることにより、配線32をインターポーザ基板16に対してほぼ垂直にエッチングできるので、配線パターン通りに配線32をパターンニングすることができる。従って、インターポーザ30の配線パターンを微細化することができる。一方、配線20は厚さが厚いので、ハンダ接合する際、ハンダが配線20の側壁に周り込んでハンダ接合面積が拡大し、ハンダ接合強度が大きくなる。従って、実装基板とインターポーザ30との接合強度を向上させることができる。

【0013】

【発明の効果】本発明によれば、インターポーザのICチップ接合面の配線の厚さを実装基板ハンダ接合面の配線の厚さより薄くすることにより、配線のパターンニングの際、配線をインターポーザ基板に対してほぼ垂直にエッチングできるので、配線パターン通りに配線をパター

6

ニングすることができる。よって、微細な配線パターンにも追従できる。一方、実装基板ハンダ接合面の配線の厚さは厚いので、実装基板とインターポーザとの接合強度を高く維持することができる。また、多くのパターン引回しを行うために、従来のように、絶縁基板を重ね合わせて多層基板にすることなく、パターンの引回しができるので、インターポーザの作製コストを低減させることができる。更には、従来と同じ工程で、本発明に係るインターポーザを作製することができるので、製作コストが増大しない。

【図面の簡単な説明】

【図1】実施形態例のインターポーザの構成を示す断面図である。

【図2】図2(a)から(c)は実施形態例のインターポーザを作製する際の各工程毎の断面図である。

【図3】実施形態例のインターポーザの効果を説明する模式図である。

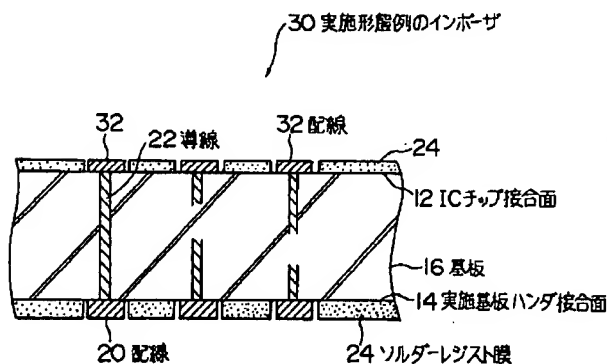
【図4】従来のインターポーザの構成を示す断面図である。

【図5】従来のインターポーザの問題点を説明する模式図である。

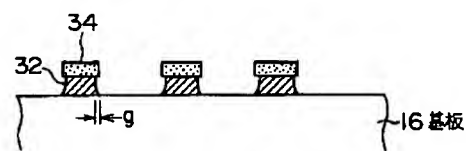
【符号の説明】

10……従来のインターポーザ、12……ICチップ接合面、14……実装基板ハンダ接合面、16……インターポーザ基板、18……配線、20……配線、22……導線、24……ソルダーレジスト膜、30……実施形態例のインターポーザ、32……配線、34……パターンマスク

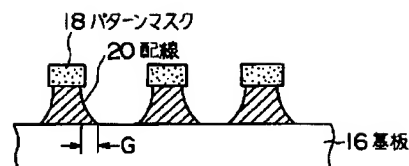
【図1】



【図3】



【図5】



【図4】

